

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

17075220

Basic Patent (No,Kind,Date): JP 2001109394 A2 20010420 <No. of Patents:  
001>

**DISPLAY DEVICE INTEGRATED WITH IMAGE RECOGNITION DEVICE**  
(English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; KIMURA HAJIME

IPC: \*G09F-009/00; G02F-001/1333; G09F-009/30; H01L-027/146; H01L-029/786;  
H01L-021/336; H04N-005/335

Derwent WPI Acc No: G 02-142325

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 2001109394</b>	A2	20010420	JP 2000216561	A	20000717 (BASIC)
Priority Data (No,Kind,Date):					
JP 2000216561 A 20000717					
JP 99210004 A 19990723					

**BEST AVAILABLE COPY**

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

06881886 \*\*Image available\*\*

## DISPLAY DEVICE INTEGRATED WITH IMAGE RECOGNITION DEVICE

PUB. NO.: **2001-109394** [JP 2001109394 A]

PUBLISHED: April 20, 2001 (20010420)

INVENTOR(s): YAMAZAKI SHUNPEI  
KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-216561 [JP 2000216561]

FILED: July 17, 2000 (20000717)

PRIORITY: 11-210004 [JP 99210004], JP (Japan), July 23, 1999 (19990723)

INTL CLASS: G09F-009/00; G02F-001/1333; G02F-001/1343; G02F-001/1368;  
G09F-009/30; H01L-027/146; H01L-029/786; H01L-021/336;  
H04N-005/335

## ABSTRACT

**PROBLEM TO BE SOLVED:** To provide an intelligent new display device integrated with an image recognition device having a pixel matrix, image sensor and peripheral circuit to drive those, that is, having both of an image recognizing function and a display function.

**SOLUTION:** The display device has a plurality of pixels having active elements and arranged in a matrix, an active matrix substrate used as the electrode of the pixels, and a plurality of sensors disposed in a matrix on the active matrix substrate. The sensor has a photoelectron conversion element, and when an external image is to be read, the light passing through a light-transmitting material is used to read the information.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-109394

(P 2 0 0 1 - 1 0 9 3 9 4 A)

(43)公開日 平成13年4月20日(2001.4.20)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09F 9/00	366	G09F 9/00	366 A
G02F 1/1333		G02F 1/1333	
1/1343		1/1343	
1/1368		G09F 9/30	338
G09F 9/30	338	H04N 5/335	E

審査請求 未請求 請求項の数 8 O L (全25頁) 最終頁に続く

(21)出願番号 特願2000-216561(P 2000-216561)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22)出願日 平成12年7月17日(2000.7.17)

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(31)優先権主張番号 特願平11-210004

(72)発明者 木村 肇

(32)優先日 平成11年7月23日(1999.7.23)

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

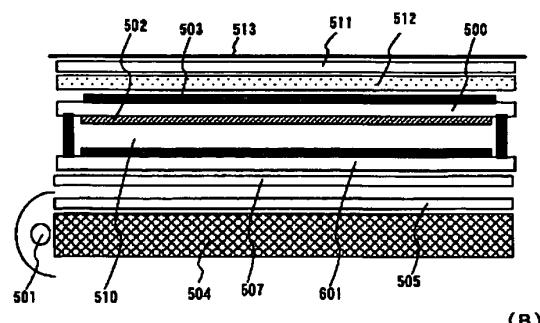
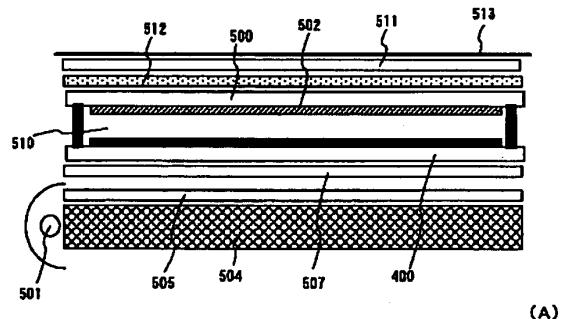
(33)優先権主張国 日本 (J P)

## (54)【発明の名称】画像認識装置一体型表示装置

## (57)【要約】

【課題】 画素マトリクス、イメージセンサ、およびそれらを駆動するための周辺回路を有する、すなわち、画像認識機能と表示機能とを兼ね備え、インテリジェント化された新規な画像認識装置一体型表示装置を提供することにある。

【解決手段】 アクティプ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極としてを使用したアクティプマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。



## 【特許請求の範囲】

【請求項1】アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとることが可能な画像認識装置一体型表示装置。

【請求項2】請求項1記載のアクティブ素子はボトムゲート型のTFTで構成されている画像認識装置一体型表示装置。

【請求項3】アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、表示パネルを構成する対向基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとることが可能な画像認識装置一体型表示装置。

【請求項4】請求項3記載の対向基板上にはカラーフィルターが設けられている画像認識装置一体型表示装置。

【請求項5】アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、前記光電変換素子の少なくとも一部は前記アクティブ素子と重疊するように延長されている画像認識装置一体型表示装置。

【請求項6】請求項5記載のアクティブ素子はトップゲート型のTFTで構成されている画像認識装置一体型表示装置。

【請求項7】アクティブ素子を有しマトリクス状に配置された複数の画素部を有するアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記画素に設けられた画素容量部はセンサ部に設けられた画像認識用の容量部を兼用している画像認識装置一体型表示装置。

【請求項8】請求項7記載の画素部の電極として反射性材料と透光性材料とを使用した画像認識装置一体型表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

【0002】本発明は、画像認識機能と、画像の表示機

能とを併せ持つ装置に関する。特に、マトリクス状に配置された複数の薄膜トランジスタ（TFT）によって構成されるアクティブマトリクス型の表示機能装置を有する装置に関する。

## 【0003】

【従来の技術】近年、パソコン等の情報機器が広く普及し、様々な情報を電子情報としてパソコンなどに読み込みたいという要求が高くなっている。そのため、紙などに印刷されたものを読み取るための手段として、スキャナが注目されている。しかしながら、このスキャナは、周辺機器として独立しており、操作が難しこと、置き場所に困るなどの問題点があった。

【0004】そのような状況において、カラースキャナとタッチ式パネルを一体化した液晶パネルが実用化されている。簡単にその構成を説明する。まず、液晶パネルがあり、その上に、ラインセンサを用いたカラースキャナが配置されている。スキャナを使用するときは、画面の上に原稿を置き、ラインセンサをスキャンさせて読み取らせてている。このために大きな面積と容積を必要としていた。

【0005】また最近、ポリシリコンTFTと呼ばれる多結晶シリコンを用いたTFT技術が鋭意研究されている。その成果として、ポリシリコンTFTによって、シフトレジスタ回路等を有する駆動回路を作製することができになり、画素部と、画素部を駆動する周辺駆動回路とを同一基板上に集積したアクティブマトリクス型の液晶パネルが実用化に至っている。そのため、液晶パネルが小型化、軽量化され、パーソナルコンピュータ、ビデオカメラやデジタルカメラ等の各種情報機器、携帯機器の表示部に用いられている。加えて、有機ELなど自己発光型の表示デバイスも開発が進んでいる。

## 【0006】

【発明が解決しようとする課題】最近では、ノート型パソコンよりも携帯性に優れ、安価なポケットサイズの小型携帯用情報処理端末装置（モバイルコンピュータ）が人気を博しており、その表示部にはアクティブマトリクス型液晶パネルが主として用いられている。このような情報処理端末装置は表示部からタッチペン方式でデータを入力可能となっているが、紙面上の文字・図画情報や、映像情報を入力するには、前述の様にスキャナーやデジタルカメラ等の画像を読み込むための周辺機器と接続することが必要である。そのため、情報処理端末装置の携帯性が損なわれている。また、使用者に周辺機器を購入するための経済的な負担をかけている。

【0007】また、アクティブマトリクス型液晶表示装置は、TV会議システム、TV電話、インターネット用端末等の表示部にも用いられている。これらシステムや端末では、対話者や使用者の映像を撮影するカメラ（CCDカメラ）を備えているが、表示部と読み取り部（センサ部）は個別に製造され、モジュール化されているた

め、製造コストが高いものとなっていた。

【0008】加えて、携帯情報端末装置は携帯性が一番の特徴である。そのため、できるだけその容積を少なくすることが望まれている。この容積を少なくするために、部品の小型化など様々な改良が加えられているが、電源となる電池部分は実際にその装置を使用する時間の長さを犠牲にできないという制限から小型化しにくいのが現状となっている。そのため、電池の改良だけでなく、端末装置自身の電力消費を抑えることで、電池部品の容積を小さくし、一定の使用時間を確保することが望まれていた。この電力消費の大部分が液晶表示装置で必要とされる光源のためであることが指摘されている。

【0009】そこで本発明の目的は、上述の問題を鑑みてなされたものであり、画素マトリクス、イメージセンサ、およびそれらを駆動するための周辺回路を有する、すなわち、画像認識機能と表示機能とを兼ね備え、インテリジェント化された新規な画像認識装置一体型表示装置を提供することにある。

【0010】更に本発明の目的は、イメージセンサの構造・製造プロセスを、アクティブ素子の構造・製造プロセスと整合性を持たせることにより、インテリジェント化された新規な半導体装置を安価に作製することにある。

#### 【0011】

【課題を解決するための手段】上記課題を解決するために、本発明は、画像を表示するための表示用画素マトリクス部の半導体装置および周辺駆動回路半導体装置と、画像情報を取り込む為のセンサ一部とを同一パネル内に設ける構成とした。この場合、センサ部は表示用のアクティブ素子が設けられた基板上に設けることで、様々な効果を有することになる。一方、表示パネルを構成する対向基板側に設けることでも、達成できる。

【0012】また、画像表示のための表示用装置は画面の最小単位である画素において、光を反射するための電極部と透過するための電極部の両方を有する構成とした。本発明の構成は、以下に記す通りである。

【0013】本発明のある実施形態によると、アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。

加えてこのときのアクティブ素子はTOP(トップ)ゲート型のTFTあるいはボトムゲート型のTFTで構成することで、おのおのその実施形態に応じて上記目的が達成される。

#### 【0014】また、ある実施形態によると、アクティブ

素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、表示パネルを構成する対向基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。加えて、上記構成において対向基板上にはカラーフィルターが設けられている構成とすることで、上記目的が達成される。

【0015】また、ある実施形態によると、アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、前記光電変換素子の少なくとも一部は前記アクティブ素子と重疊するように延長されている構成とすることで、上記目的が達成される。

【0016】また、ある実施形態によると、アクティブ素子を有しマトリクス状に配置された複数の画素部を有するアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記画素に設けられた画素容量部はセンサ部に設けられた画像認識用の容量部を兼用することで、上記目的が達成される。さらにまたこの様な構成に対し画素部の電極として反射性材料と透光性材料とを使用することで、上記目的が達成される。さらにもまた、画素部の電極として反射性材料と透光性材料とを使用し、これら材料はセンサ一部に設けられた画像認識用の容量部を構成する電極の少なくとも一部を兼ねた構成とすることで、上記目的が達成される。

【0017】以下に本発明の装置の代表的な実施形態を図面等を参照しながら示す。なお、本発明の画像認識装置一体型表示装置は、以下に示す実施形態に限定されるわけではない。

【0018】図1を参照する。図1には、本発明の画像認識装置一体型表示装置に適用しうる回路構成の一例を示している。説明の便宜上、図1においては、 $2 \times 2$ (縦×横)画素の半導体装置の回路構成が示されているが、実際は多くの画素が実際の基板上に形成されている。例えば、VGA規格の表示装置の場合その画素数は $640 \times 480$ であり、SVGA規格のそれは $800 \times 600$ となる。周辺駆動回路は、簡単にブロックで示した。

【0019】101は画素TFT、102は液晶、103は補助容量、104はセンサTFT、105はフォトダイオードPD、106は補助容量、107は信号増幅用TFT、108はリセットTFT、109および11

0はアナログスイッチである。また、120はバイアスTFT、121は転送TFT、122はサンプルホールド容量、123は放電TFT、124は最終バッファ用増幅TFT、125は最終バッファ用バイアスTFTである。これら101～108によって構成される回路をマトリクス回路と呼ぶことにする。

【0020】また、101および103を画素部A、104、105、106、107および108をセンサ部Bとする。111はセンサ出力信号線であり、112は画像入力信号線である。113および114は固定電位線である。また、115は画素ソース信号線側駆動回路、116は画素ゲート信号線側駆動回路、117はセンサ水平駆動回路、118はセンサ垂直駆動回路である。

【0021】本発明の画像認識装置一体型表示装置は、画像を表示する場合には、画像入力信号線から入力される画像信号（階調電圧）を、画素ソース信号線側駆動回路115および画素ゲート信号線側駆動回路116によって画素TFTに供給し、画素TFTに接続された画素電極と対向電極とに挟まれた液晶を駆動し、画像を表示することができる。図1においては、画素ソース信号線側駆動回路115および画素ゲート信号線側駆動回路116は、アナログ画像信号を扱うアナログ駆動回路が示されているが、これに限定されるわけではない。つまり、デジタル映像信号を取り扱うD/A変換回路を搭載したデジタル駆動回路を用いても良い。

【0022】また、本発明の画像認識装置一体型表示装置は、入射する外部の画像情報（光信号）を光電変換素子であるフォトダイオードPD105で読み取り、電気信号に変換し、センサ水平駆動回路117およびセンサ垂直駆動回路118によって映像が取り込まれる。この映像信号は、センサ出力信号線111より他の周辺回路（メモリ、CPUなど）に取り込まれる。

【0023】図2および図3には、本発明の画像認識装置一体型表示装置を構成部品に分解した様子を示している。図2および図3においては、各構成部品間の間隔は、説明の便宜上、大きく示されている。また、図2および図3においては、本発明の半導体装置をTN（ツイストネマチック）モードのノーマリホワイト（電圧が印加されていない時、白表示）として用いている。また、STNモード、ECBモード、FLCやAFLC液晶またはいわゆるV字液晶を利用した複屈折モード等他のモードの液晶表示方法を用いることもできる。また、ノーマリブラック（電圧が印加されていない時、黒表示）で用いるようにしても良い。

【0024】図2を参照する。図2には、本発明の半導体装置を画像表示モードで用いた場合の様子が示されている。201はアクティブマトリクス基板であり、図1で説明したマトリクス回路201-1、画素ソース信号線側駆動回路201-2、画素ゲート信号線側駆動回路

201-3、センサ水平駆動回路201-4、センサ垂直駆動回路201-5、および他の周辺回路201-6を有している。なお、アクティブマトリクス基板の上面には、配向膜などが形成されているが、ここでは図示しない。

【0025】概略図のため実際に指示できないのが、202で示唆される領域には液晶材料が存在している。203は対向基板であり、透明電極および配向膜（共に図示せず）を有している。204および205は偏光板であり、お互いクロスニコルとなるように配置されている。206はバックライトである。また、207は使用者（の目）を模式的に示したものであり、使用者が本発明の半導体装置を上部から観察している様子を示したものである。なお、偏光板に傷やほこりが付くのを防ぐために、上側偏光板207の上部には、ガラス基板やプラスチック基板などが設けられる（図示せず）。

【0026】このアクティブマトリクス基板201には表示用の画素電極が設けられている。この画素の部分を図4に示す。通常この画素電極は透光性のITOなどが使用されるが、本発明においては透光性の材料とアルミなどの反射性の材料とを用いて、画素の中で部分的に光を通す部分と光を反射する部分とを設けてある。

【0027】この光を通す部分の画素内でのレイアウトは任意に決めることができるが、本発明の画像認識装置一体型表示装置の必要とする特性にあわせてその位置、面積割合などを変更できる。一例として示した図4は2×2画素の例である。図4では表示用の反射電極302とそれを挟むように表示用の透過電極305とセンサー用の窓303を配置している。このような配置によりセンサー用の光透過窓303は反射電極302と画素を取り囲むように形成されたBM304で囲まれるので、画像読み取り時にはセンサーへの光が他の領域から回り込むことがないので、情報の読み取りの誤りを少なくできる。

【0028】本発明の半導体装置が画像表示モードで用いられている場合、供給される映像信号（内蔵のメモリなどに記憶されている信号でもよいし、外部から供給される信号でもよい）に基づいて画素TFTに階調電圧を供給し、液晶202を駆動する。なお、カラーフィルタを用いてカラー表示を行うことができる。加えて、バックライト206を点灯せずに表示させた場合、反射電極302による反射型表示パネルとして使用でき、消費電力を減らすことができる。また、使用する状況が暗く反射型モードでは十分に見えないときには、バックライトを点灯し透過用電極305で表示を行うことができ、必要に応じてパネルの消費電力を調整することができる。

【0029】次に、図3を参照する。図3には、本発明の画像認識装置一体型表示装置を画像読み取りモードで用いた場合の様子が示されている。本発明装置を構成する構成部品については、図2の説明を参照されたい。な

お、301は画像読み取り対象物であり、例えば名刺や写真のようなものである。また、図3においては、画像読み取り対象物301は偏光板（あるいは図示されていないガラス基板やプラスチック基板）と間隔を置いて示されているが、密着させるように配置するのが好ましい。

【0030】本発明の画像認識装置一体型表示装置が画像読み取りモードで用いられている場合、画素TFTには電圧は印加されず、全ての画素による表示が白表示となるようになる。こうすることによって、画像読み取り対象物301の表面にバックライト206の光を表示用の透過電極305を通して照射する。画像読み取り対象物（原稿）301の表面に照射された光は、画像読み取り対象物301の表面で反射する。

【0031】この時、この反射光は、画像読み取り対象物301の画像情報を有している。この反射光が、ガラス基板（図示せず）、偏光板、対向基板、液晶を通過し、画素部分のセンサー透過窓303を通し、ちょうどその窓に位置あわせされているアクティブマトリクス基板のアクティブマトリクス回路のセンサ部BにあるフォトダイオードPDによって検知され、電気信号に変換される。

【0032】電気信号に変換された画像情報は、前述のようにセンサ出力信号線から取り出され、メモリ（同一基板上に形成されていても良いし、外部に配置されていても良い）に記憶される。このようにして、画像読み取り対象物301の画像が取り込まれる。

【0033】また、名刺や写真を本発明の画像認識装置一体型表示装置に密着させた場合について説明したが、景色や人物像などをデジタルカメラ感覚で撮像し、その画像を取り込むこともできる。この場合にはバックライト206を点灯することなく画像を認識することになる。

【0034】なお、センサ部Bによって電気信号に変換された画像を、画素部Aによって表示することによって、ほぼリアルタイムで表示することもできる。また、画素部Aにおいては、画像認識装置一体型表示装置の外部からのデータを表示することが可能な構成としてもよい。

【0035】次に、本発明の画像認識装置一体型表示装置を構成するアクティブマトリクス基板の断面構造について説明する。図5を参照する。この画像認識装置一体型表示装置のアクティブマトリクス基板は、図2に示すように、1画素内に画素部Aとセンサ部Bとを有している。

【0036】図5においては、画素TFTとセンサTFTとが示されている。基板400上には、画素TFTの遮光膜404が設けられており、裏面から入射する光から画素TFTを保護する構造としている。また、図のように、センサ部B側のセンサTFTに遮光膜405を設

ける構成としてもよい。また、センサ部BのリセットTFTあるいは信号增幅用TFT（共に図示せず）にも遮光膜（図示せず）を設ける構成にしてもよい。また、これらの遮光膜は、基板400の裏面側に直接設ける構成としてもよい。

【0037】この遮光膜404、405上に下地膜401を形成した後、表示部Aの画素TFT、センサ部BのセンサTFT、信号增幅用TFTならびにリセットTFT、および駆動回路や周辺回路を構成するTFTを同時に作製する。なお、ここでは、基板400の裏面とは、TFTが形成されていない基板面のことを指している。また、これらTFTの構成は、トップゲート型TFTであってもボトムゲート型TFTであっても構わない。図5においては、トップゲート型TFTの場合を例にとつて示している。

【0038】そして、センサTFTの電極419と接続する下部電極420を設ける。この下部電極420は、フォトダイオード（光電変換素子）の下部電極をなし、画素TFTの上部以外の画素領域に形成する。この下部電極420に光電変換層421を設け、さらにその上に上部電極422を設けることで、フォトダイオードを完成させる。なお、上部電極422には、透光性電極を用いる。

【0039】一方、画素部の画素TFTは、電極416と接続する画素透光性電極424を設ける。またこの電極に接して反射電極425を形成する。図5では反射電極は透光性電極424の上に積層して設けたが、透光性電極424をバーニングして、一部で反射電極425と接し、反射電極だけの部分と透光性電極だけの部分を有する構造とすることでも、本発明の範囲を超えるものではない。

【0040】この画素透光性電極424はセンサ部Bおよび配線を覆う構成としてもよく、前述のように任意に反射電極と透光性電極の位置を配置することができる。図5では説明のために画素部Aとセンサ部Bとの大きさが実際とは異なる。この大きさは前述のように画像認識装置一体型表示装置の仕様に応じて変更される設計事項である。また、配線を覆う構成とした場合には、配線と画素電極との間に存在する絶縁膜を誘電体として、表示画素容量が形成される。

【0041】本発明の装置に適用可能なアクティブ素子の製造プロセスは、光電変換素子であるフォトセンサの作製工程が追加されたこと以外、従来の表示に装置の作製工程と概略同じである。このフォトセンサの構成としてはPIN、P-I、N-I等の異なる導電型を積層あるいは接触させることで構成したものや、ショットキーまたはヘテロ接合など異なる材料を積層あるいは接触することで構成したものあるいは半導体材料自身の光敏感性などを利用することができる。

【0042】よって、従来の製造プロセスを用いること

ができるので、容易に、且つ、安価に作製することができる。また、本発明により作製した装置は、センサ機能を搭載しても、従来のパネルと形状及び大きさは変化しない。そのため、小型化、軽量化することができる。

#### 【0043】

【実施例】以下に、本発明の半導体装置のある実施形態を説明するが、本発明が以下の実施例に限定されるわけではない。

【0044】(実施例1) 本実施例においては、本発明一実施形態について、図6および図7を用いて断面形状から製造工程を説明する。なお、以下の説明では、画素TFTとセンサTFTとを代表的に取り上げるが、リセットTFT、信号増幅用TFT、アナログスイッチ、駆動回路、および周辺回路を構成するPチャネル型TFTおよびNチャネル型TFTも同時に作製され得る。また、画素透光性電極と画素反射電極とセンサ窓との配置関係は図4の様な平面配置関係となるように実施した。

【0045】図6を参照する。まず、透明基板400全面に下地膜401を形成する。透明基板400としては、透明性を有するガラス基板や石英基板を用いることができる。下地膜401として、プラズマCVD法によって、酸化珪素膜を150nmの厚さに形成した。本実施例では、この下地膜形成工程前に、画素TFTを裏面からの光から保護するための遮光膜404、センサTFTを裏面からの光から保護するための遮光膜405を設けた。この遮光膜はTa、W、Crなどの金属材料あるいはその化合物やSi、シリサイドあるいはそれらと金属の積層物でも構わない。

【0046】次に、プラズマCVD法によって非晶質珪素膜を30~100nm好ましくは30nmの厚さに成膜し、その後エキシマレーザ光を照射して、多結晶珪素膜を形成した。なお、非晶質珪素膜の結晶化方法として、SPCと呼ばれる熱結晶化法、赤外線を照射するRTA法、熱結晶化とレーザアニールとの用いる方法等を用いてさらにこれらを組み合わせてもよい。

【0047】次に、多結晶珪素膜をバーニングして、画素TFTのソース領域、ドレイン領域、チャネル形成領域を構成する島状の半導体層402、およびセンサTFTのソース領域、ドレイン領域、チャネル形成領域を構成する島状の半導体層403を形成する。そして、これら半導体層を覆うゲート絶縁膜406を形成する。ゲート絶縁膜406はシラン(SiH<sub>2</sub>)とN<sub>2</sub>Oを原料ガスに用いて、プラズマCVD法で100nmの厚さに形成する(図6(A))。

【0048】次に、導電膜を形成する。ここでは、導電膜材料として、アルミニウムを用いたが、Ta、W、TaN、WN、チタン、または、シリコンを主成分とする膜、もしくは、それらの積層膜であってもよい。本実施例では、スパッタ法でアルミニウム膜を200~500nmの厚さ、代表的には300nmに形成する。ヒロツ

クやウィスカーの発生を抑制するために、アルミニウム膜にはスカンジウム(Sc)やチタン(Ti)やイットリウム(Y)を0.04~1.0重量%含有させる。

【0049】次に、レジストマスクを形成し、前記アルミニウム膜をバーニングして、電極パターンを形成し、画素TFTゲート電極407、センサTFTゲート電極408を形成する。

【0050】次に、公知の方法手段によりオフセット構造を形成する。又は公知の方法手段により、LDD構造を形成してもよい。このようにして不純物領域(ソース・ドレイン領域)409、410、412、413、およびチャネル領域411、414が形成される(図6(B))。なお、図6においては、説明の便宜上、Nチャネル型TFTであるセンサTFTと画素TFTとだけが示されているが、Pチャネル型TFTも作製される。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

10

【0051】そして、第1の層間絶縁膜415を形成し、不純物領域409、410、412、413に達するコンタクトホールを形成する。しかる後、金属膜を形成し、バーニングして、電極416~419を形成する。このとき、複数のTFTを接続する配線が同時に形成される。

【0052】本実施例では、第1の層間絶縁膜415を厚さ500nmの窒化珪素膜で形成する。第1の層間絶縁膜として、窒化珪素膜の他に、酸化珪素膜、窒化珪素膜を用いることができる。また、これらの絶縁膜の多層膜としても良い。

【0053】また、電極および配線の出発膜となる金属膜として、本実施例では、スパッタ法で、チタン膜、アルミニウム膜、チタン膜でなる積層膜を形成する。これらの膜厚はそれぞれ100nm、300nm、100nmとする。以上のプロセスを経て、画素TFTとセンサTFTが同時に完成する(図6(C))。

【0054】次に、第1の層間絶縁膜415とセンサTFTのドレイン電極419に接して金属膜を形成する。金属膜を成膜し、バーニングして、光電変換素子の下部電極420を形成する。本実施例では、この金属膜にスパッタ法によるアルミニウムを用いたが、その他の金属を用いることができる。例えば、チタン膜、アルミニウム膜、チタン膜でなる積層膜を用いてもよい。本実施例ではTFT用の配線419とセンサ用の電極420とを別の工程で作製したが、同一工程で形成することでも構わない。

【0055】この場合419を形成するマスクパターンを変更する事で容易にセンサ電極420も形成することができる。むしろ、同時に作成した方が、工程数削減によるコスト低減、歩留まり向上が図られ都合がよい。加えて、液晶表示の場合アクティブラトリックス基板の凹凸

が激しいと液晶配向乱れなどを引き起こす原因となるので、419と420は同時に形成されるほうがより好ましい。

【0056】図7を参照する。次に、光電変換層として機能する、水素を含有する非晶質珪素膜（以下、a-Si:H膜と表記する）を基板全面に成膜し、パターニングをし、光電変換層421を作製する（図7（A））。

【0057】次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターニングし、上部電極422を形成する（図7（A））。

【0058】そして、第2の層間絶縁膜423を形成する。第2の層間絶縁膜を構成する絶縁被膜として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜を形成すると平坦な表面を得ることができるために、好ましい。あるいは積層構造とし、第2の層間絶縁膜の上層は上記の樹脂膜、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層膜を成膜してもよい。本実施例では、絶縁被膜として厚さ0.7μmのポリイミド膜を基板全面に形成した（図7（B））。

【0059】更に、第2の層間絶縁膜423にドレン電極416に達するコンタクトホールを形成する。再度、基板全面に酸化亜鉛を主成分とした透光性膜を成膜し、パターニングして、画素TFTに接続された画素透光性電極424を形成する。次にこの上面に反射電極材料としてアルミニウムを全面に厚さ200nm形成、所定のマスクパターンによりエッチングして画素反射電極430を形成する。この透光性電極と反射電極とは接触することや酸溶液によるエッチング時に反応がある。これらを防ぐために、電極材料の組み合わせは注意が必要である。本実施例ではZnO-AIとしたが、ITO-Ti、ITOと亜鉛の混合物とAl、Ti、Crまたはこれらの混合物あるいは積層体との組み合わせなどが考えられる。

【0060】以上の工程を経て、図7（C）、アクティブマトリクス基板が完成する。

【0061】そして、このアクティブマトリクス基板と、対向基板とをシール材とで貼り合わせ、液晶を封入して画像認識装置一体型表示装置が完成する。この対向基板は、透過性基板上に透明導電膜、配向膜を形成して構成される。これ以外にも必要に応じてブラックマスクやカラーフィルタを設けることができる。

【0062】このようにして作製した、センサ部と画素部とが同一基板上に形成されたアクティブマトリクス基板400と液晶パネルを組むためカラーフィルター502付きの対向基板500を張り合わせ、液晶パネルを形成する。この概略図を図11（A）に示す。このような構成とすることで、かさばらず、携帯性に優れた画像認識装置一体型表示装置を実現できる。画像の表示並びに

画像の認識の方法は前述の通りである。

【0063】特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分けることができ、消費電力を抑えかつ、画像の認識の際には画素電極の透光性電極を通過したバックライト501からの光により原稿を読みとることができるという特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだPDA（携帯用個人端末）を非常に小さな容積に抑えることができ、かつ名刺、写真あるいはデジカメのような情報の読み取り機能を実現することができた。

【0064】また、偏光板511と対向基板との間に光学的効果を付加するシート512を設けることができ、このシートとして光ファイバープレートを設けた場合より多くの光を利用でき、レンズアレイシートを設けた場合、センサ上で原稿からの光を結像出来読み取り誤差をさらに少なくすることができる。

【0065】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

（実施例2）本発明の画像認識装置一体型表示装置に適用できるTFT素子の作成例として図8～図10を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0066】図8（A）において、基板601にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミニホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテル sulfone（PES）など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。

【0067】そして、基板601のTFTを形成する表面に、基板601からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜602を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜602aを10～200nm（好ましくは50～100nm）、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜602bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。

【0068】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜602aは、SiH<sub>4</sub>を10SCCM、NH<sub>3</sub>を100SCCM、N<sub>2</sub>Oを20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シ

リコン膜 602b は、SiH<sub>4</sub> を 5 SCCM、N<sub>2</sub>O を 120 SCCM、H<sub>2</sub> を 125 SCCM として反応室に導入し、基板温度 400°C、反応圧力 20Pa、放電電力密度 0.41W/cm<sup>2</sup>、放電周波数 60MHz とした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0069】このようにして作製した酸化窒化シリコン膜 602a は、密度が  $9.28 \times 10^2 / \text{cm}^3$  であり、フッ化水素アンモニウム (NH<sub>4</sub>HF<sub>6</sub>) を 7.13% とフッ化アンモニウム (NH<sub>4</sub>F) を 15.4% 含む混合溶液 (ステラケミファ社製、商品名 LAL 500) の 20°C におけるエッチング速度が約 6.3nm/min と遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0070】次に、25~80nm (好ましくは 30~60nm) の厚さで非晶質構造を有する半導体層 603a を、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を 55nm の厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0071】また、下地膜 602 と非晶質半導体層 603a とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜 602a と酸化窒化水素化シリコン膜 602b をプラズマCVD法で連続して成膜後、反応ガスを SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub> から SiH<sub>4</sub> と H<sub>2</sub> 或いは SiH<sub>4</sub> のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜 602b の表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。

【0072】そして、結晶化の工程を行い非晶質半導体層 603a から結晶質半導体層 603b を作製する。その方法としてレーザーアニール法や熱アニール法 (固相成長法)、またはラピットサーマルアニール法 (RTA 法) を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA 法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。

【0073】或いは特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層 603b を形成することもできる。結晶化的工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400~500°C で 1 時間程度の熱処理を行い含有する水素量を 5atm% 以下にしてから結晶化させると膜表面の荒れを防ぐことができる。

【0074】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 30Hz とし、レーザーエネルギー密度を 100~500mJ/cm<sup>2</sup> (代表的には 300~400mJ/cm<sup>2</sup>) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 80~98% として行う。このようにして図 8 (B) に示すように結晶質半導体層 603b を得ることができる。

【0075】そして、結晶質半導体層 603b 上にフォトマスク 1 (PM1) を用い、フォトリソグラフィーの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、島状半導体層 604~608 を形成する。ドライエッチングには CF<sub>4</sub> と O<sub>2</sub> の混合ガスを用いる。

【0076】このような島状半導体層に対し、TFT のしきい値電圧 (V<sub>th</sub>) を制御する目的で p 型を付与する不純物元素を  $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$  程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第 13 族の元素が知られている。

【0077】その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン (B, H<sub>3</sub>) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0078】ゲート絶縁膜 609 はプラズマCVD法またはスパッタ法を用い、膜厚を 40~150nm としてシリコンを含む絶縁膜で形成する。例えば、120nm の厚さで酸化窒化シリコン膜から形成すると良い。また、SiH<sub>4</sub> と N<sub>2</sub>O に O<sub>2</sub> を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い (図 8 (C))。

【0079】図 8 (D) に示すように、ゲート絶縁膜 609 上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層

(A) 610と金属膜から成る導電層(B) 611とを積層した構造とすると良い。導電層(B) 611はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンクスチン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A) 610は窒化タンタル(TaN)、窒化タンクスチン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。

【0080】また、導電層(A) 610はタンクスチンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B) 611は低抵抗化を図るために含有する不純物濃度を低減させることができると良ましく、特に酸素濃度に関しては30 ppm以下とするのが好ましく、例えば、タンクスチン(W)は酸素濃度を30 ppm以下とすることで $20 \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0081】導電層(A) 610は $10 \sim 50 \text{ nm}$ (好ましくは $20 \sim 30 \text{ nm}$ )とし、導電層(B) 611は $200 \sim 400 \text{ nm}$ (好ましくは $250 \sim 350 \text{ nm}$ )とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N<sub>2</sub>)ガスを導入して導電層(A) 611を窒化タンクスチン(WN)で $50 \text{ nm}$ の厚さに形成し、導電層(B) 610をWで $250 \text{ nm}$ の厚さに形成する。

【0082】その他の方法として、W膜は6フッ化タンクスチン(WF<sub>6</sub>)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20 \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化ができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0083】一方、導電層(A) 610にTaN膜を、導電層(B) 611にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。

【0084】 $\alpha$ 相のTa膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。TaN膜は $\alpha$ 相に近い結晶構造を持つので、この上にTa膜を形成すれば $\alpha$ 相のTa膜が

容易に得られた。尚、図示しないが、導電層(A) 610の下に $2 \sim 20 \text{ nm}$ 程度の厚さでリン(P)をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A) 610または導電層(B) 611が微量に含有するアルカリ金属元素がゲート絶縁膜609に拡散するのを防ぐことができる。いずれにしても、導電層(B) 611は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0085】次に、フォトマスク2(PM2)を用い、フォトリソグラフィーの技術を使用してレジストマスク612～617を形成し、導電層(A) 610と導電層(B) 611とを一括でエッチングしてゲート電極618～622と容量配線623を形成する。ゲート電極618～622と容量配線623は、導電層(A)から成る618a～622aと、導電層(B)から成る618b～622bとが一体として形成されている(図9(A))。

【0086】導電層(A)および導電層(B)をエッチングする方法は実施者が適宜選択すれば良いが、前述のようにWを主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。

【0087】高密度プラズマを得る手法の一つとして、誘導結合プラズマ(Inductively Coupled Plasma: ICP)エッチング装置を用いると良い。ICPエッチング装置を用いたWのエッチング法は、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>の2種のガスを反応室に導入し、圧力0.5～1.5Pa(好ましくは1Pa)とし、誘導結合部に $200 \sim 1000 \text{ W}$ の高周波(13.56MHz)電力を印加する。この時、基板が置かれたステージには $20 \text{ W}$ の高周波電力が印加され、自己バイアスで負電位に帶電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICPエッチング装置を使用することにより、Wなどの硬い金属膜も $2 \sim 5 \text{ nm}/\text{秒}$ のエッチング速度を得ることができる。

【0088】また、残渣を残すことなくエッチングするためには、 $10 \sim 20 \%$ 程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜(ゲート絶縁膜609)の選択比は2.5～3であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされて実質的に薄くなつた。

【0089】そして、nチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n-ドープ工程)を行った。ここではゲート電極618～622をマスクとして自己整合的にn型を付与す

る不純物元素をイオンドープ法で添加した。n型を付与する不純物元素として添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度範囲で添加する。このようにして、図9(B)に示すように島状半導体層に低濃度n型不純物領域624～629を形成する。

【0090】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った(n'ドープ工程)。まず、フォトマスク3(PM3)を用い、レジストのマスク630～634を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域635～640を形成した。n型を付与する不純物元素にはリン(P)を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度範囲となるようにフォスフィン(PH<sub>3</sub>)を用いたイオンドープ法を行った(図9(C))。

【0091】そして、pチャネル型TFTを形成する島状半導体層604、606にソース領域およびドレイン領域とする高濃度p型不純物領域644、645を形成する。ここでは、ゲート電極618、620をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜605、607、608は、フォトマスク4(PM4)を用いてレジストマスク641～643を形成し全面を被覆しておく。

【0092】高濃度p型不純物領域644、645はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法で形成する。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>となるようにする(図9(D))。この高濃度p型不純物領域644、645には、前工程においてリン(P)が添加されていて、高濃度p型不純物領域644a、645aには $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度で、高濃度p型不純物領域644b、645bには $1 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度で含有しているが、この工程で添加するボロン(B)の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0093】その後、図10(A)に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜646を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜646は無機絶縁物材料から形成する。保護絶縁膜646の膜厚は100～200nmとする。

【0094】ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。酸化窒化シリ

コン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化シリコン膜で形成すれば良い。

【0095】この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度0.1～1.0W/cm<sup>2</sup>で形成することができる。また、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0096】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板601に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図10(B))。

【0097】活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}$ /cm<sup>3</sup>のダングリングボンドを終端する工程である。水素化的他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0098】活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜147を1.0～2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0099】このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜646として形成した酸化シリコン膜、酸化窒化シリ

シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0100】その後、フォトマスク5(PM5)を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスにCF<sub>4</sub>、O<sub>2</sub>、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスをCF<sub>4</sub>、O<sub>2</sub>として保護絶縁膜646をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスをCHF<sub>3</sub>に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0101】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトマスク6(PM6)によりレジストマスクパターンを形成し、エッチングによってソース配線648～652とドレイン配線653～658を形成する。ここで、ドレイン配線657は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300～400nmの厚さで形成して配線とした。

【0102】この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜646や、下地膜602に存在する水素を島状半導体膜604～608に拡散させ水素化することもできる。いずれにしても、島状半導体膜604～608中の欠陥密度を10<sup>16</sup>/cm<sup>3</sup>以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良かった(図10(C))。

【0103】こうして6枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT700、第1のnチャネル型TFT701、第2のpチャネル型TFT702、第2のnチャネル型TFT703、画素部には画素TFT704、保持容量705が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0104】駆動回路の第1のpチャネル型TFT700には、島状半導体膜604にチャネル形成領域706、高濃度p型不純物領域から成るソース領域707

a、707b、ドレン領域708a、708bを有したシングルドレンの構造を有している。第1のnチャネル型TFT701には、島状半導体膜605にチャネル形成領域709、ゲート電極619と重ならないLDD領域710、ソース領域712、ドレン領域711を有している。このLDD領域のチャネル長方向の長さは1.0～4.0μm、好ましくは2.0～3.0μmとした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0105】駆動回路の第2のpチャネル型TFT702は同様に、島状半導体膜606にチャネル形成領域713、高濃度p型不純物領域から成るソース領域714a、714b、ドレン領域715a、715bを有したシングルドレンの構造を有している。第2のnチャネル型TFT703には、島状半導体膜607にチャネル形成領域716、LDD領域717、718、ソース領域720、ドレン領域719が形成されている。このTFTのLDDの長さも1.0～4.0μmとして形成した。画素TFT704には、島状半導体膜608にチャネル形成領域721、722、LDD領域723～725、ソースまたはドレン領域726～728を有している。LDD領域のチャネル長方向の長さは0.5～4.0μm、好ましくは1.5～2.5μmである。

【0106】さらに、容量配線623と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT704のドレン領域728に接続する半導体層729とから保持容量705が形成されている。図10(C)では画素TFT704をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0107】次に画素透光性電極670としてZnOをスパッタ法により厚さ100nmに形成しエッチング加工して所定の電極とする。本実施例ではアクティブマトリクス基板上にはセンサを設けないので、センサ用の窓を設けることはなく、画素電極を反射電極と透光性電極とで構成する。後で対向基板と張り合わせ、表示パネルとした際に平面的な配置として、各画素に対応してセンサを配置できるように画素電極パターンを設計した。

【0108】対向側の基板として、アクティブマトリクス側基板と同じ材料のガラスを使用する。この基板上に実施例1と同様の製造方法にてセンサ部をあらかじめ設計された配置で形成する。このセンサを駆動する回路に関しては前述の多結晶シリコンTFTの製造工程を適用し、センサと同一基板に形成してもよい、また、マトリクス配線とセンサ素子のみ形成し、駆動回路は外付けのICで行うことも可能であるが、本発明の目的の一つである携帯性という点だけで考えると、駆動回路も基板上に作り込んだ方が、より小さな容積を実現しやすくな

る。本実施例では同一基板上に駆動回路とセンサとを設けた。（図11（B）503）

【0109】この基板のもう一方の面に公知の技術を用い、あらかじめ設計された場所にアクリル系樹脂で構成されたカラーフィルター502をRGBで形成する。このカラーフィルターはセンサ部503の上に設けることも可能である。

【0110】このようにして形成された、対向基板500とアクティブマトリクス基板601とを重ね合わせ、図11（B）のような画像認識装置一体型表示装置を実現した。実施例1と比較して、本実施例2では原稿とセンサ部との距離が短いために情報の読み取り誤差（いわゆるぼけ）が少ないという点で有利である。また、偏光板511と対向基板との間に光学的効果を付加するシート512を設けることができ、このシートとして光ファイバープレートを設けた場合より多くの光を利用でき、レンズアレイシートを設けた場合、センサ上で原稿からの光を結像出来読み取り誤差をさらに少なくすることができる。

【0111】本実施例では対向基板にカラーフィルターとセンサ部とを設けたが、いわゆるモノクロ表示の場合カラーフィルターは不要となるが、原稿とより近い位置にセンサを設けることについては本実施例と同様の効果を持つ。

【0112】特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分けることができ、消費電力を抑えかつ、画像の認識の際には画素電極の透光性電極を通過したバックライト501からの光により原稿を読みとることができると特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだPDA（携帯用個人端末）を非常に小さな容積に抑えることができ、かつ名刺、写真あるいはデジカメのような情報の読み取り機能を実現することができた。

【0113】（実施例3）本実施例は図12に記載されているアクティブマトリクス基板を図11（A）に記載の本発明装置の基板として使用することで実現される。実施例1とはセンサ素子とスイッチング用のアクティブ素子との基板に対する位置関係が反転している。このTFT素子はTOPゲート構造を採用している。

【0114】実施例1においては必要に応じてTFT素子の下側に遮光層405、406を形成していたが、本実施例においてはセンサ素子自身がこの遮光層を兼ねる構成としている。これにより、工程の短縮化が図られ、透過モードでの表示の際に必要なバックライト光によるTFT素子の誤動作（クロストーク）を防止することができた。

【0115】本実施例においては、センサ素子の全部がTFT素子の遮光層となるように延長されていたが、少なくとも一部が延長され、TFT素子のクロストークを抑える機能を有していれば、同様の効果を得ることがで

きる。

【0116】本実施例に適用可能な半導体装置の作成は実施例1あるいは実施例2に記載の工程に従って作製することができる。

【0117】（実施例4）

【0118】本実施例は図13に記載されているアクティブマトリクス基板を図11（A）に記載の本発明の画像認識装置一体型表示装置の基板として使用することで実現される。実施例1とはセンサ素子とスイッチング用のアクティブ素子構造が異なりボトムゲート型のTFTを使用している。

【0119】実施例1においては必要に応じてTFT素子の下側に遮光層405、406を形成していたが、本実施例においてはTFT素子のゲート電極808自身がこの遮光層を兼ねる構成としている。これにより、特別に遮光層を設ける工程の短縮化が図られ、透過モードでの表示の際に必要なバックライト光によるTFT素子の誤動作（クロストーク）を防止することができた。

【0120】（実施例5）

【0121】本実施例では図14を参照し説明する。図14には、本発明の画像認識装置一体型表示装置に適用しうる回路構成の一例を示している。説明の便宜上、図14においては、2×2（縦×横）画素の半導体装置の回路構成が示されているが、実際は多くの画素が実際の基板上に形成されている。例えば、VGA規格の表示装置の場合その画素数は640×480であり、SVGA規格のそれは800×600となる。周辺駆動回路は、簡単にブロックで示した。

【0122】101は画素TFT、102は液晶、103は補助容量、104はセンサTFT、105はフォトダイオードPD、106は補助容量、107は信号増幅用TFT、108はリセットTFT、109および110はアナログスイッチである。また、120はバイアストFT、121は転送TFT、122はサンプルホールド容量、123は放電TFT、124は最終バッファ用増幅TFT、125は最終バッファ用バイアストFTである。これら101～108によって構成される回路をマトリクス回路と呼ぶことにする。また、101および103を画素部A、104、105、106、107および108をセンサ部Bとする。111はセンサ出力信号線であり、112は画像入力信号線である。114は固定電位線である。また、115は画素ソース信号線側駆動回路、116は画素ゲート信号線側駆動回路、117はセンサ水平駆動回路、118はセンサ垂直駆動回路である。

【0123】本発明の画像認識装置一体型表示装置は、画像を表示する場合には、画像入力信号線から入力される画像信号（階調電圧）を、画素ソース信号線側駆動回路115および画素ゲート信号線側駆動回路116によつて画素TFTに供給し、画素TFTに接続された画素

電極と対向電極とに挟まれた液晶を駆動し、画像を表示することができる。

【0124】この図14は図1と比較して、各画素に設けられている補助容量103とセンサに設けられている補助容量106とが同じ固定電位線114に接続されていることが特徴である。すなわち図5に記載された断面図においてセンサの上部透明電極422と画素の反射電極425あるいは画素透光性電極424とが重なり合っている構成とすることと、この間に設けられている層間絶縁膜423が誘電体であることにより、この部分で積極的にコンデンサーを実現できる。これが、図14で示すところの補助容量103並びに106とすることができます。

【0125】この構成とすることにより、基板内で容量の面積を半分にすることができる。すなわち、表示の際に必要な補助容量103と画像読み取りの際に必要な補助容量106とは結局の所同時に使用されなければならないため、本実施例のように兼用する事ができる。これにより、基板の有効利用や製造工程の短縮を実現できる。

【0126】図14においては、画素ソース信号線側駆動回路115および画素ゲート信号線側駆動回路116は、アナログ画像信号を扱うアナログ駆動回路が示されているが、これに限定されるわけではない。つまり、デジタル映像信号を取り扱うD/A変換回路を搭載したデジタル駆動回路を用いても良い。

【0127】また、本発明の画像認識装置一体型表示装置は、入射する外部の画像情報（光信号）を光電変換素子であるフォトダイオードPD105で読み取り、電気信号に変換し、センサ水平駆動回路117およびセンサ垂直駆動回路118によって映像が取り込まれる。この映像信号は、センサ出力信号線111より他の周辺回路（メモリ、CPUなど）に取り込まれる。また、補助容量だけでなく、表示用の駆動回路と画像認識用の駆動回路とを兼用することも可能となる。

【0128】本実施例の半導体装置の製造方法については、実施例1を参照して容易に実現することができる。

#### 【0129】

#### 【発明の効果】

【0130】本発明の半導体装置の製造プロセスは、光電変換素子の作製工程の追加以外、従来の表示装置と同じである。よって、従来の製造プロセスを用いることができるので、容易に、且つ、安価に作製することができる。また、本発明により作製した半導体装置は、センサ機能を搭載しても、従来のパネルと基板形状及び大きさは変化しない。そのため、小型化、軽量化することができる。

【0131】また、センサセルの受光面積は、表示セルの画素面積の概略同程度であり、単結晶CCDと比較し

て大きいため、本発明のセンサは高感度とすることができる。さらに、本発明の半導体装置のイメージセンサで消費される電力もCCD構造に比較すれば小さいものとすることができます。

【0132】表示装置の構成を反射モードと透過モードを実現できるようにしているために、装置全体の消費電力を抑えることができ、特に携帯端末においては容積の減少を容易に実現できる上で大きな特徴となる。

【0133】特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分けることができ、消費電力を抑えかつ、画像の認識の際には画素電極の透光性電極を通過したバックライト501からの光により原稿を読みとることができるという特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだPDA（携帯用個人端末）を非常に小さな容積に抑えることができ、かつ名刺、写真あるいはデジカメのような情報の読み取り機能を実現することができた

#### 【図面の簡単な説明】

【図1】 本発明の画像認識装置一体型表示装置のある実施形態の回路図である。

【図2】 本発明の画像認識装置一体型表示装置の分解図である。

【図3】 本発明の画像認識装置一体型表示装置の分解図である。

【図4】 本発明の画像認識装置一体型表示装置の画素付近の概略配置図である。

【図5】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

【図6】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図7】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図8】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図9】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図10】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

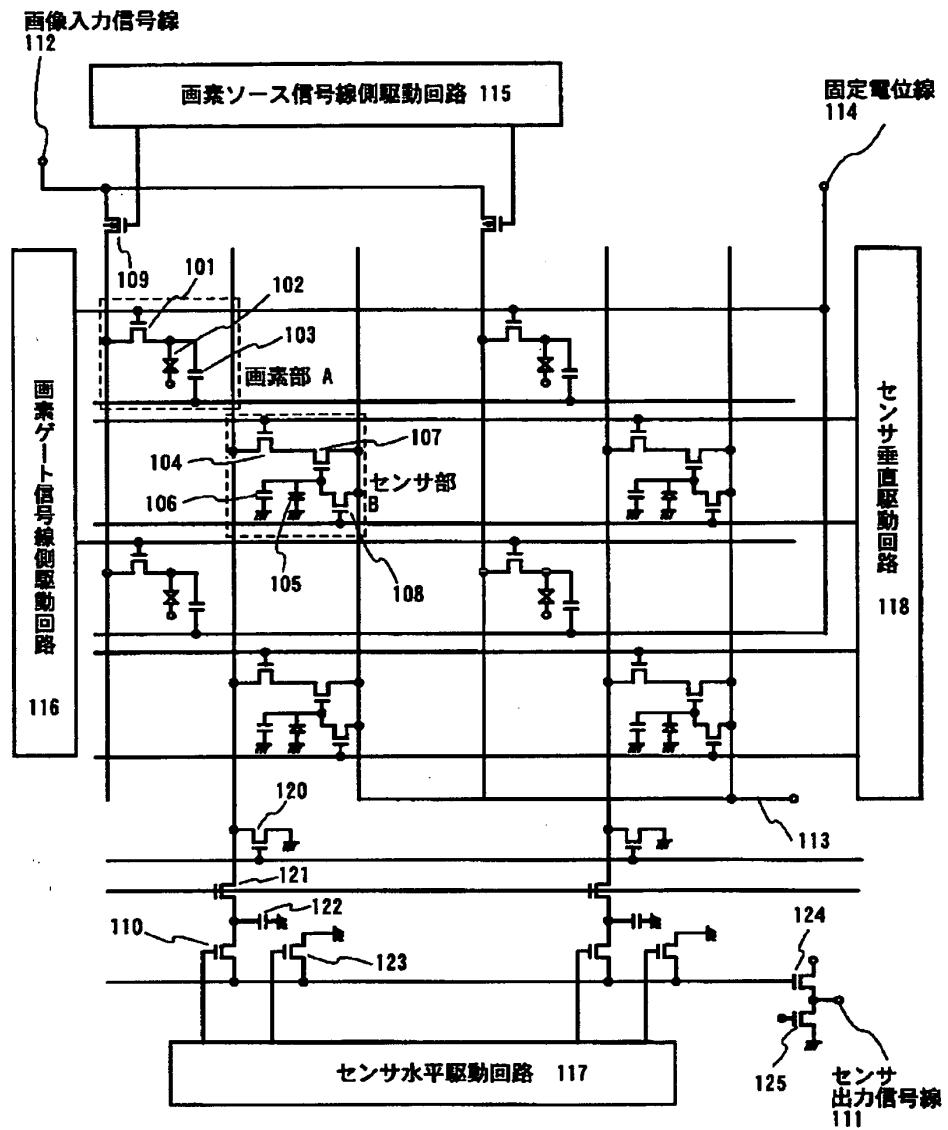
【図11】 本発明の画像認識装置一体型表示装置の概略の構成を示す断面図である。

【図12】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

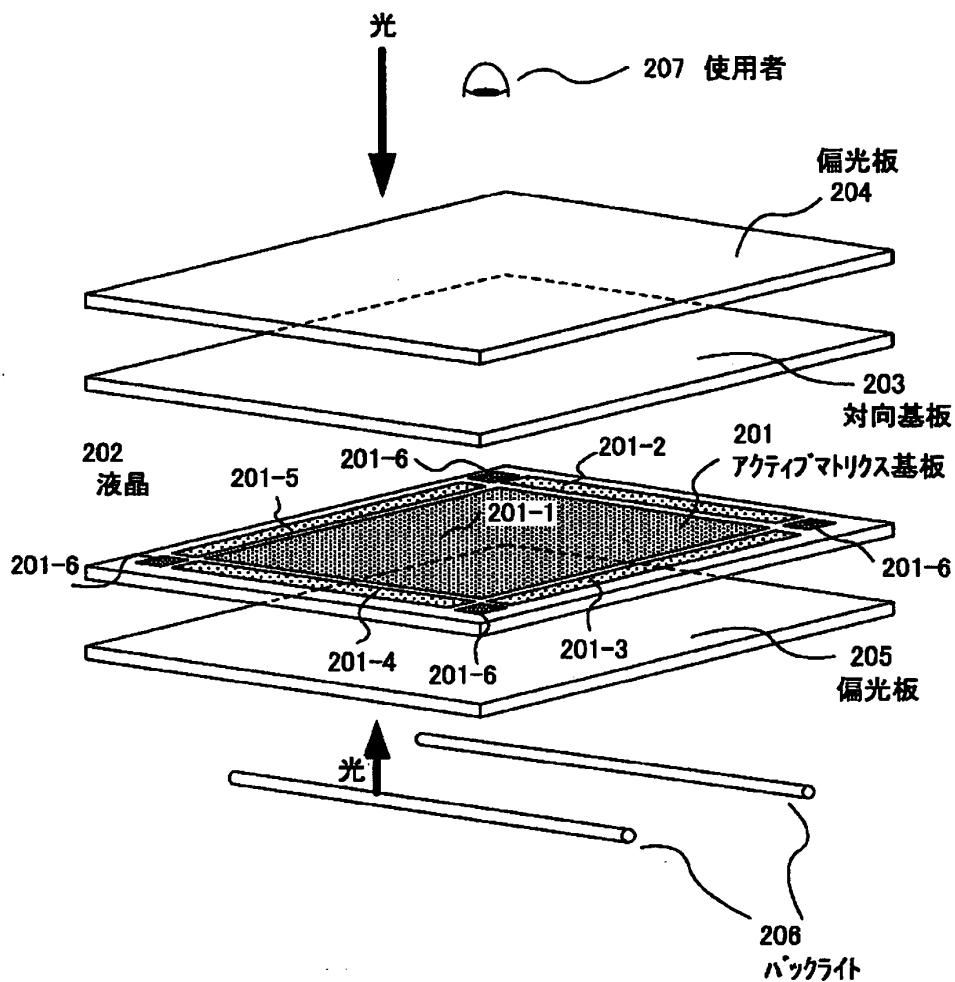
【図13】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

【図14】 本発明の画像認識装置一体型表示装置のある実施形態の回路図である。

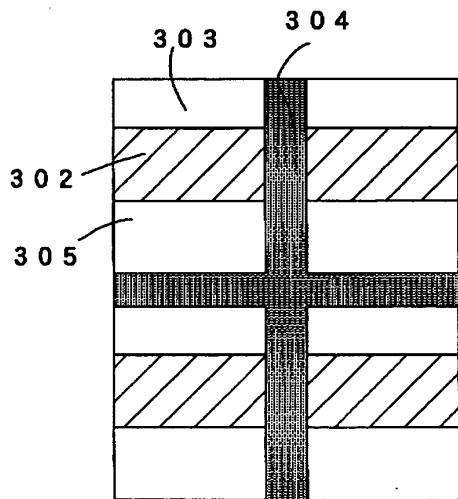
【図 1】



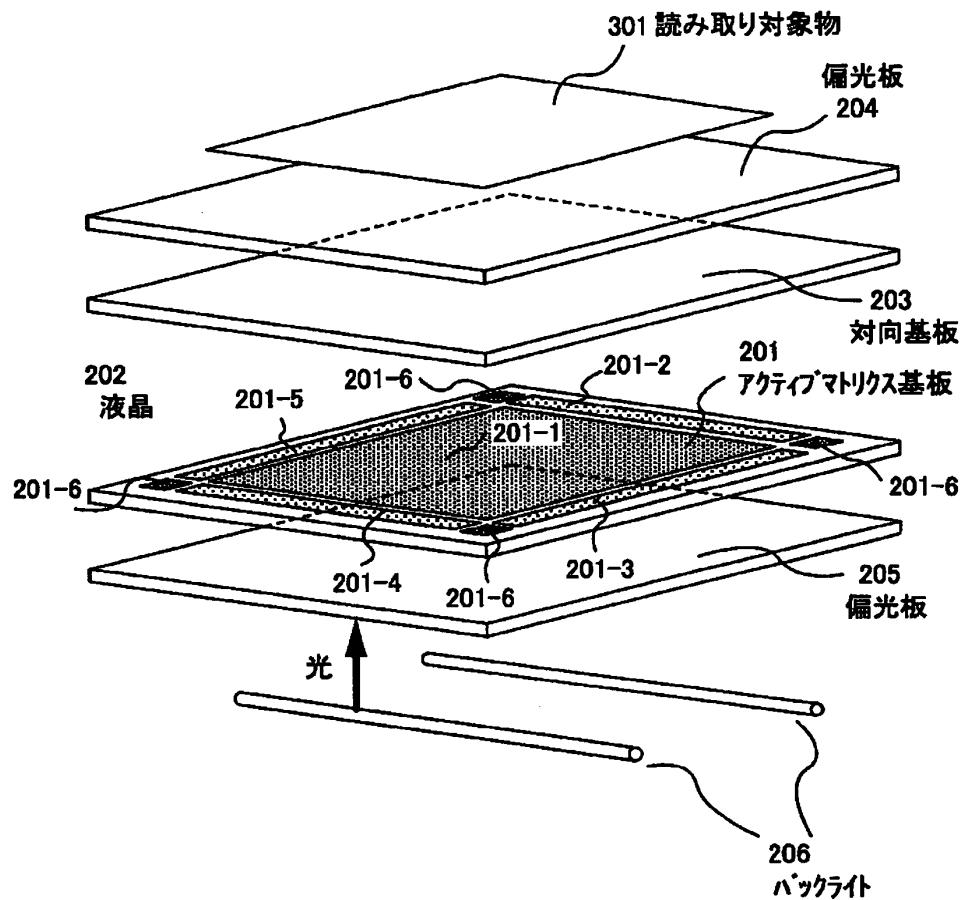
【図 2】



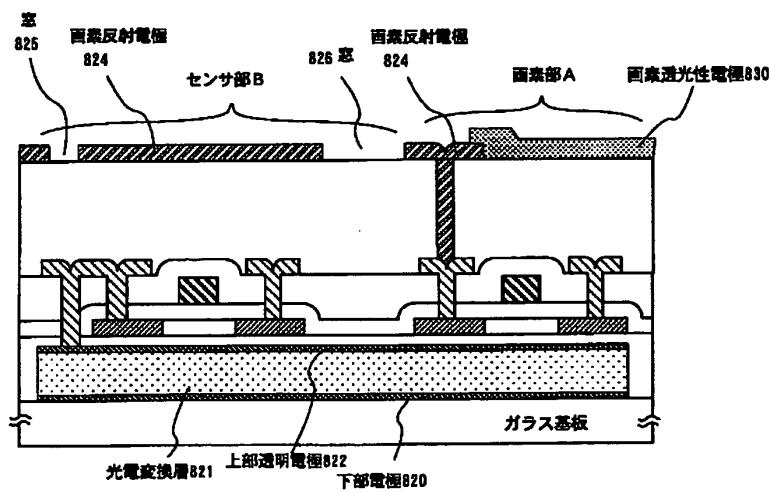
【図 4】



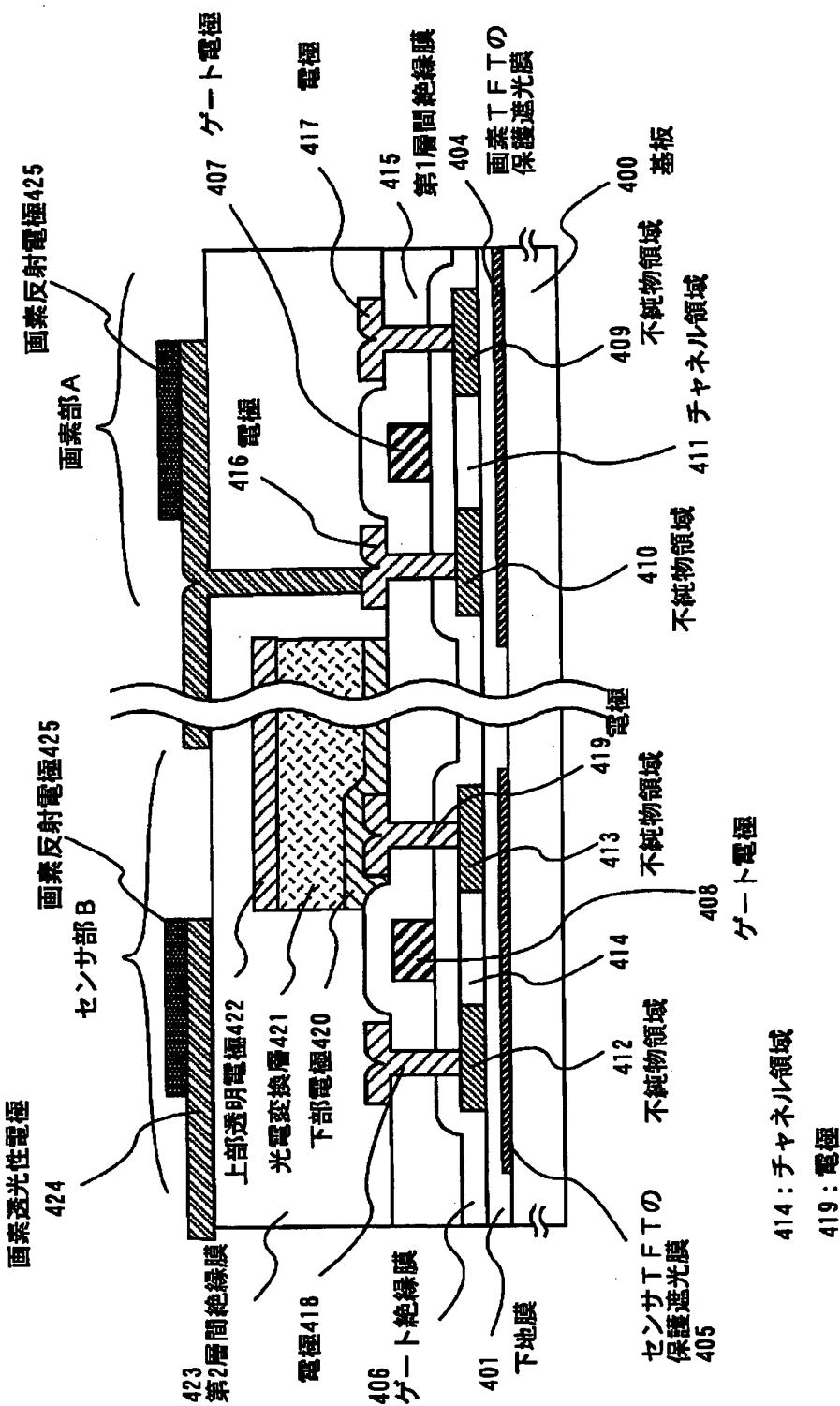
【図 3】



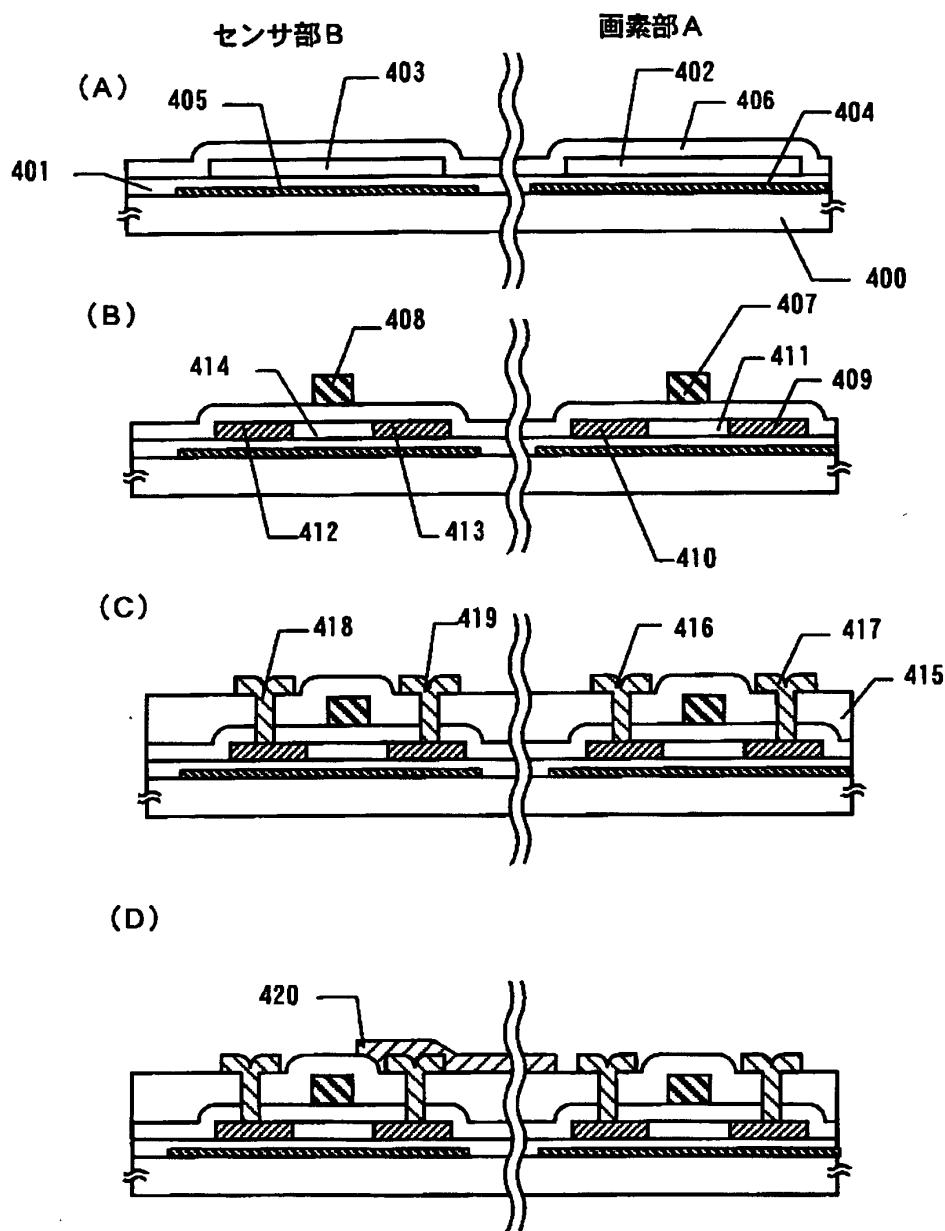
【図 12】



【図 5】

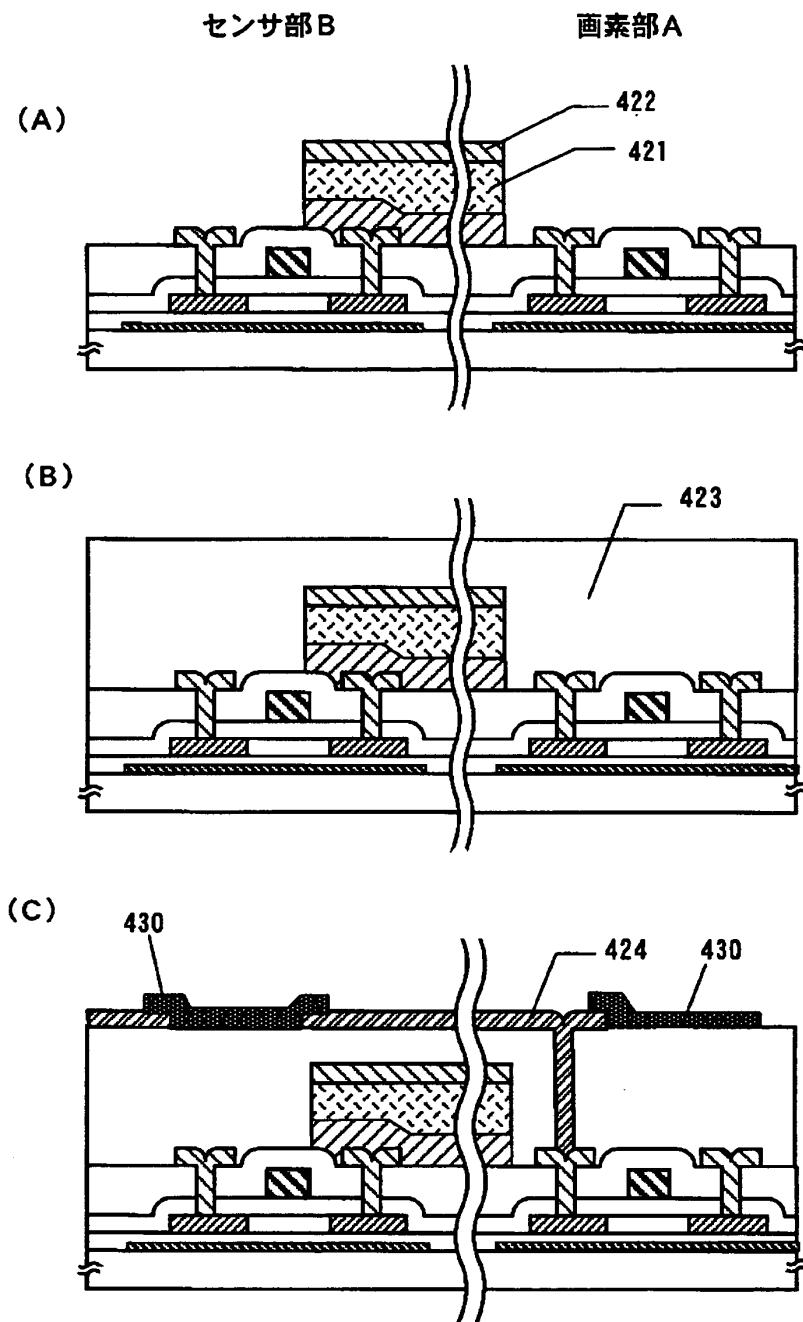


【図 6】



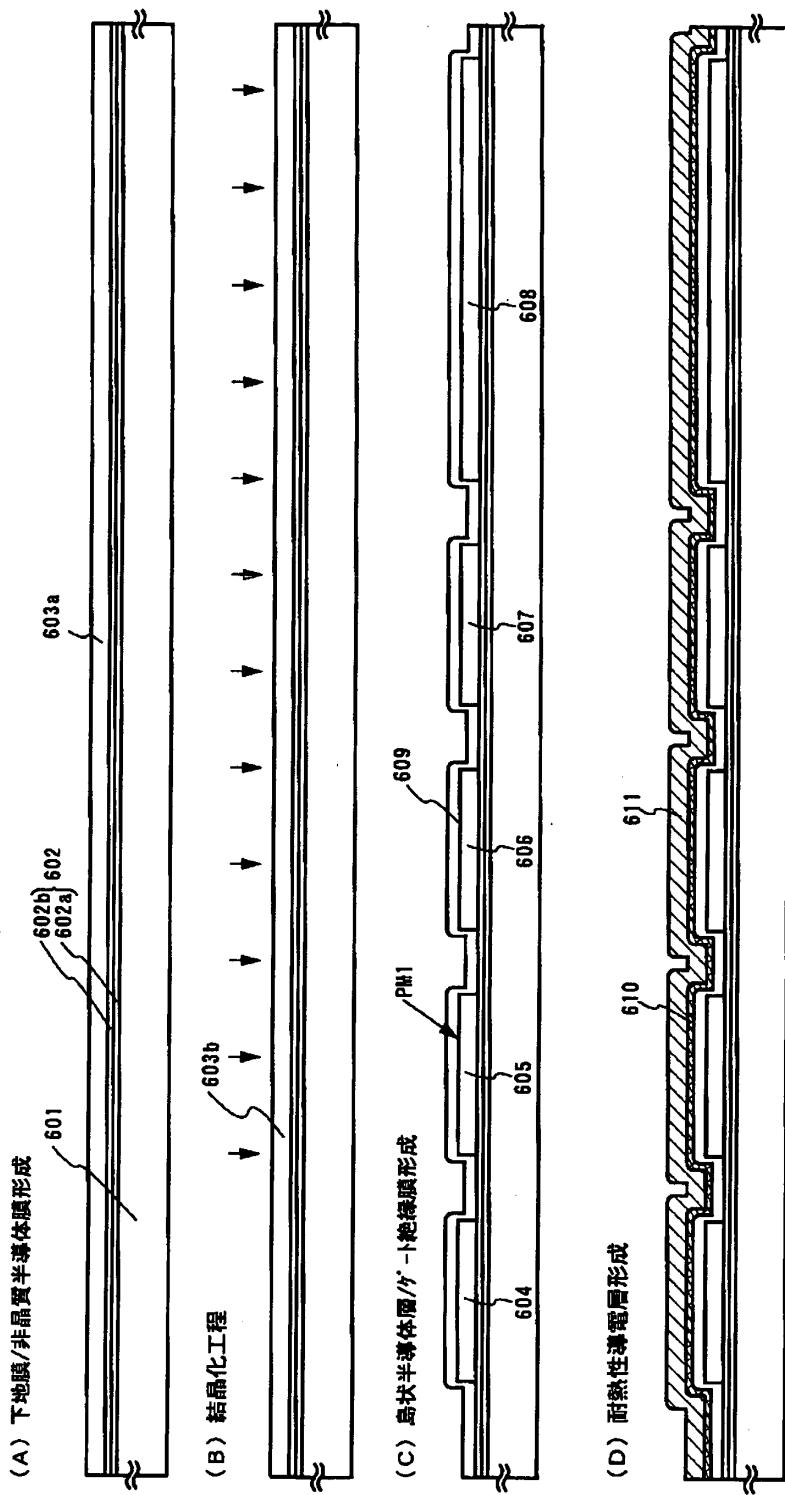
400 : 基板、401 : 下地膜、402 : 島状半導体層、  
 406 : ゲート絶縁膜、404 : 遮光膜、405 : 遮光膜、  
 407 : ゲート電極、408 : ゲート電極  
 409, 410, 412, 413 : 不純物領域、411, 414 : チャネル領域、  
 415 : 第1層間絶縁膜、416, 417, 418, 419 : 電極  
 420 : 下部電極

【図 7】

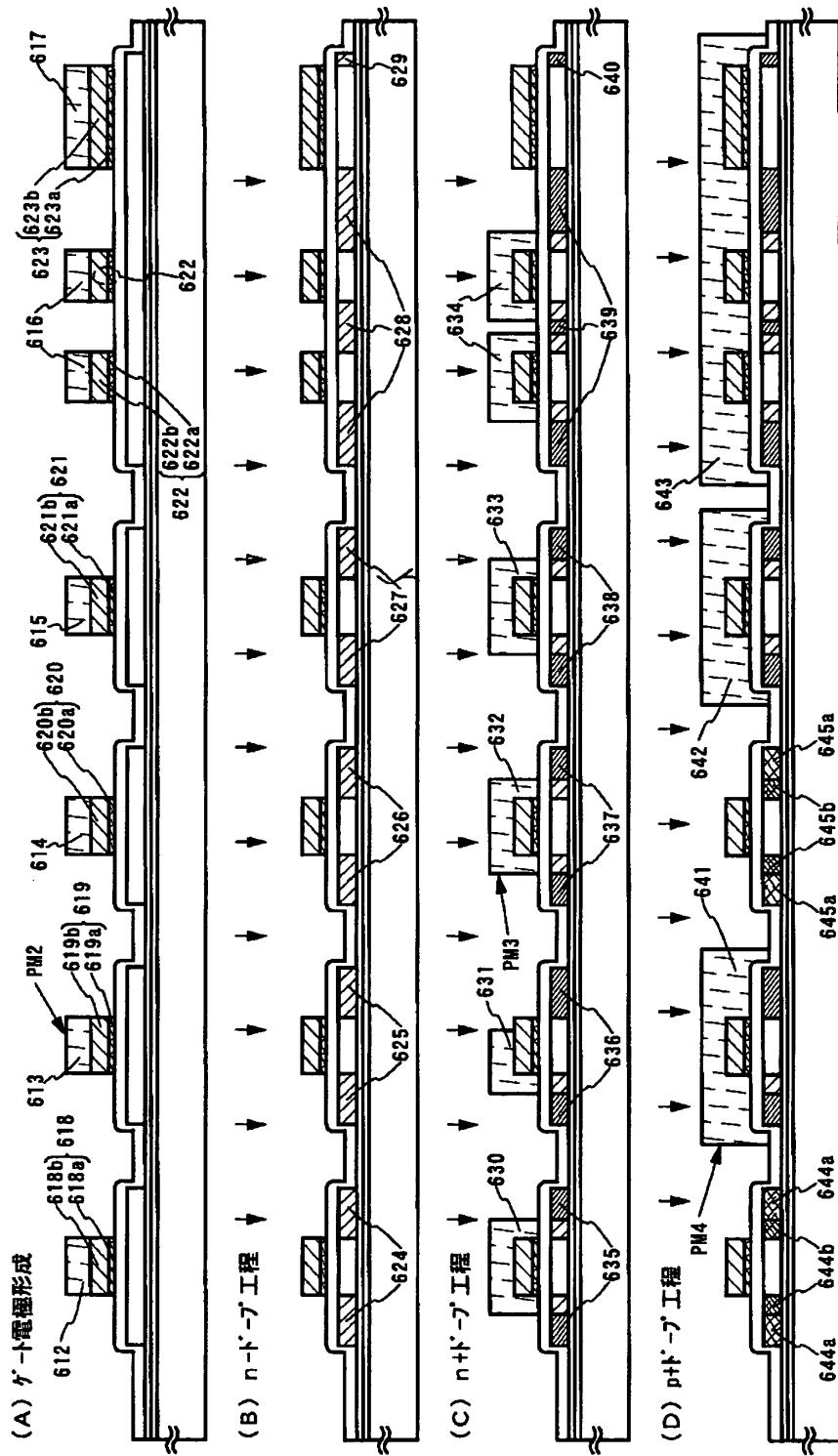


421：光電変換層、422：上部電極、423：第2層間絶縁膜  
424：画素透明電極

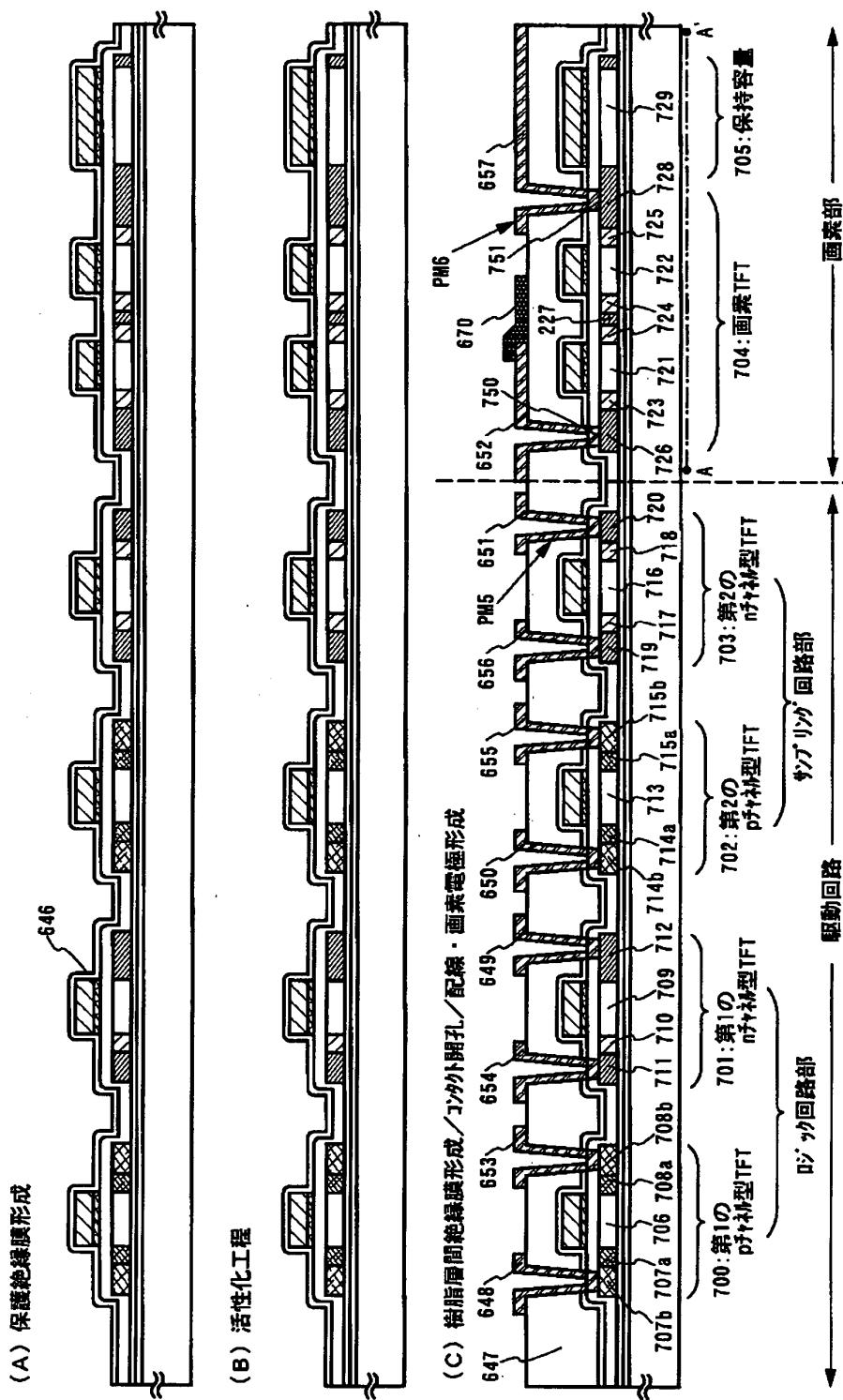
【図8】



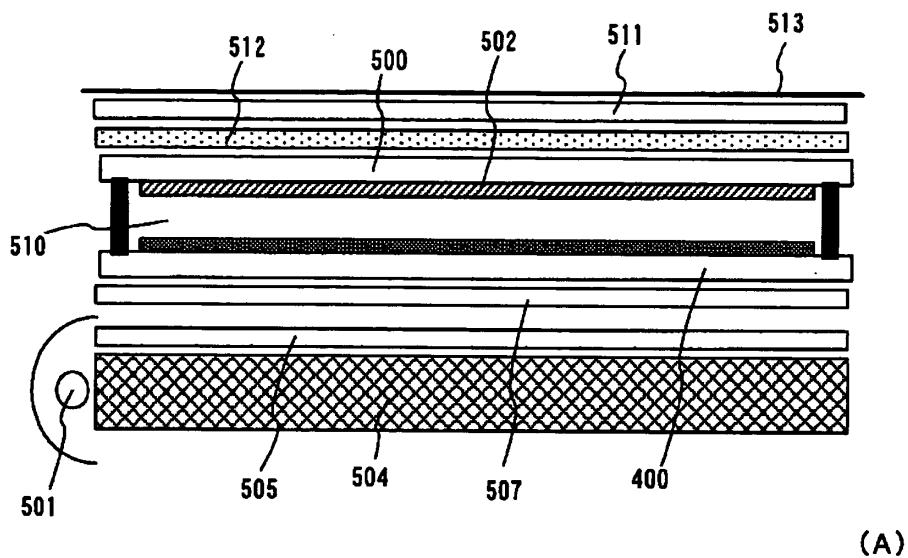
[図 9]



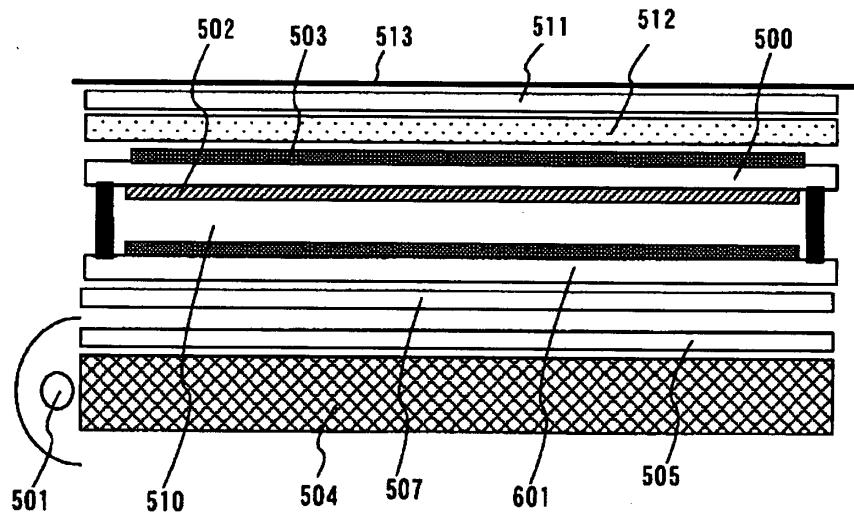
【図 10】



【図 11】

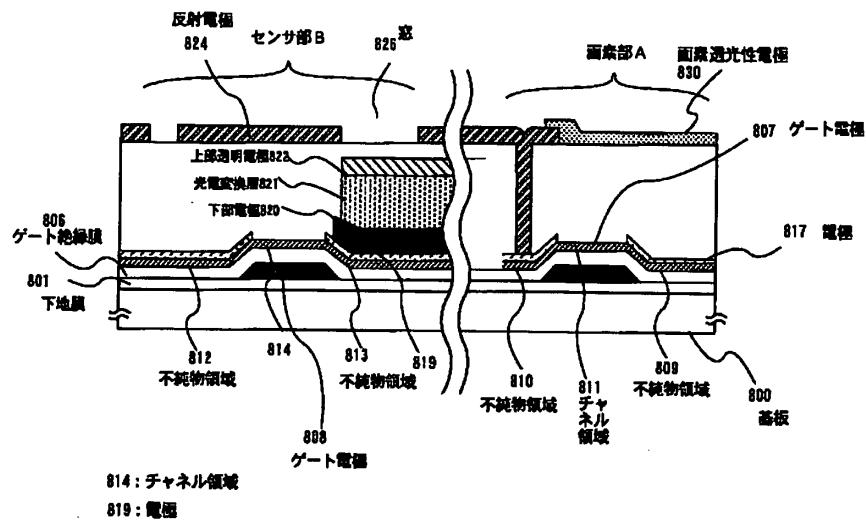


(A)

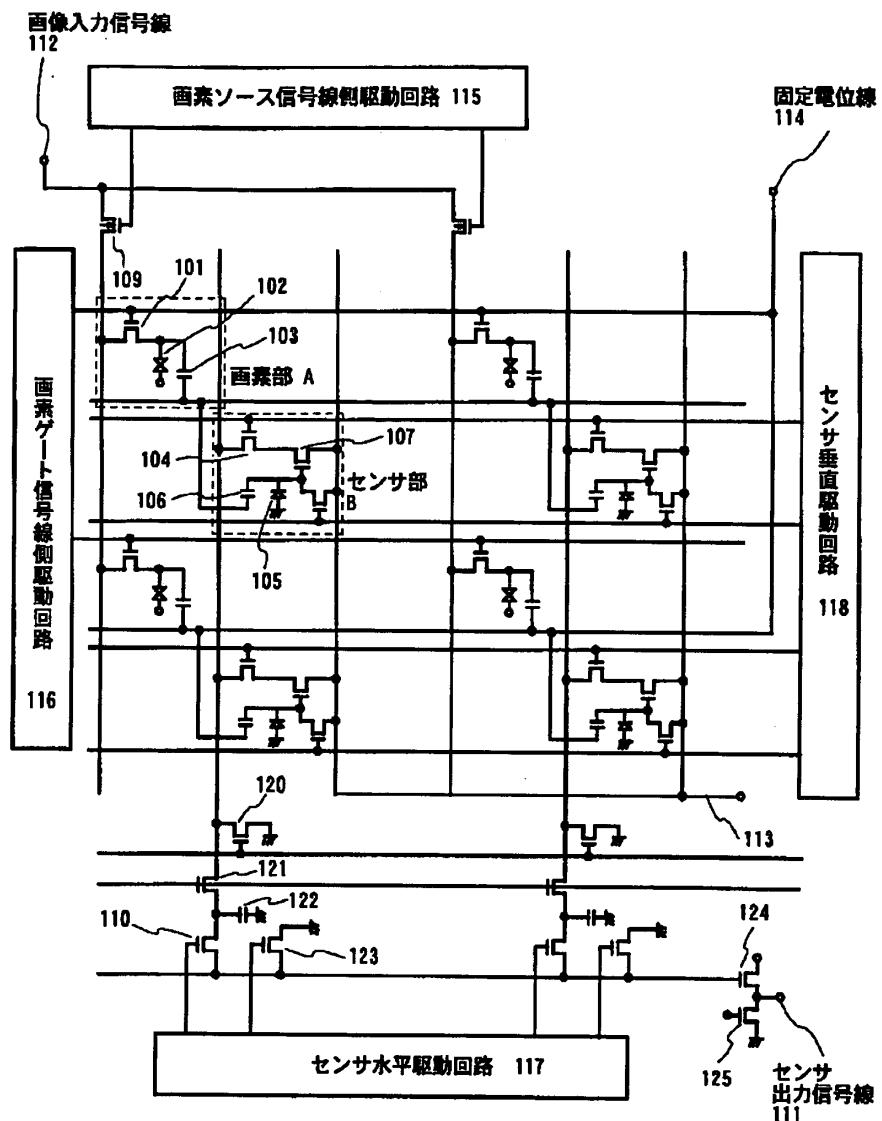


(B)

【図 13】



【図14】



フロントページの続き

(51) Int.CI. <sup>7</sup>	識別記号	F I	マークド(参考)
H 0 1 L 27/146		G 0 2 F 1/136	5 0 0
29/786		H 0 1 L 27/14	C
21/336		29/78	6 1 2 Z
H 0 4 N 5/335			

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.  
As rescanning these documents will not correct the image  
problems checked, please do not report these problems to  
the IFW Image Problem Mailbox.**